

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Publication number: JP2001298147

Publication date: 2001-10-26

Inventor: FUJISHIMA MASAOKI

Applicant: KAWASAKI STEEL CO

Classification:

- International: *H01L25/18; H01L25/065; H01L25/07; H01L25/18; H01L25/065; H01L25/07; (IPC1-7): H01L25/065; H01L25/07; H01L25/18*

- European:

Application number: JP20000116391 20000418

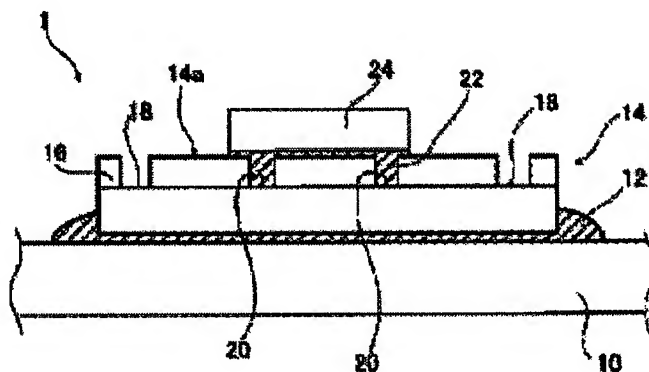
Priority number(s): JP20000116391 20000418

Report a data error here

Abstract of JP2001298147

PROBLEM TO BE SOLVED: To restrict projections of adhesives in a die bonding step of a stack type semiconductor package.

SOLUTION: In a method for manufacturing a stack type semiconductor device in which a second semiconductor chip is adhered to a major face of a first semiconductor chip to be mounted in the same package, a recess part is provided in a resin protection layer of an uppermost layer of the major face of the first semiconductor chip, and the second semiconductor chip is mounted on the major face of the first semiconductor chip via adhesives to pressure. At that time, the recess part accepts the adhesives to restrict projections of the adhesives into a periphery of the second semiconductor chip.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2001-298147
(P2001-298147A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 25/065		H 0 1 L 25/08	Z
25/07			
25/18			

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願2000-116391(P2000-116391)

(22) 出願日 平成12年4月18日 (2000. 4. 18)

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 藤島 正章

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

(74) 代理人 100080159

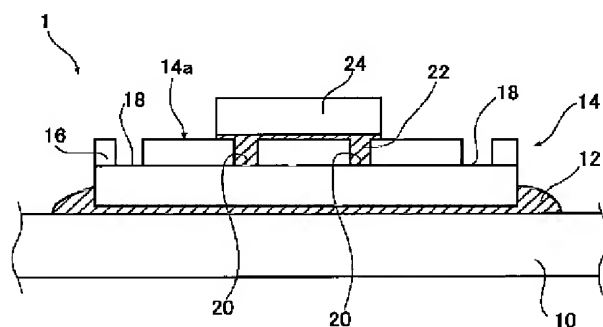
弁理士 渡辺 望穂 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 スタックタイプの半導体パッケージのダイボンディング工程において接着剤のはみ出しを抑制する。

【解決手段】 第一の半導体チップの主面上に第二の半導体チップを接着して同一のパッケージに搭載するスタックタイプの半導体装置の製造方法であって、前記第一の半導体チップの主面の最上層の樹脂保護層に凹部を設け、前記第一の半導体チップの主面上に接着剤を介して前記第二の半導体チップを搭載し加圧する際、前記凹部が、前記接着剤を受容して、該接着剤の前記第二の半導体チップの周囲へのはみ出しを抑制するようにしたことを特徴とする半導体装置の製造方法を提供することにより前記課題を解決する。



【特許請求の範囲】

【請求項1】第一の半導体チップの主面上に第二の半導体チップを接着して同一のパッケージに搭載するスタックタイプの半導体装置の製造方法であって、前記第一の半導体チップの主面の最上層の樹脂保護層に凹部を設け、前記第一の半導体チップの主面上に接着剤を介して前記第二の半導体チップを搭載し加圧する際、前記凹部が、前記接着剤を受容して、該接着剤の前記第二の半導体チップの周囲へのはみ出しを抑制するようにしたことを特徴とする半導体装置の製造方法。

【請求項2】前記樹脂保護層に設けられた凹部は、所定形状の溝である請求項1に記載の半導体装置の製造方法。

【請求項3】前記樹脂保護層に設けられた凹部は、前記樹脂保護層の所定領域に設けられた少なくとも1つ以上の孔である請求項1に記載の半導体装置の製造方法。

【請求項4】第一の半導体チップの主面上に第二の半導体チップを接着して同一のパッケージに搭載するスタックタイプの半導体装置であって、前記第一の半導体チップの主面の最上層の樹脂保護層に凹部が設けられ、前記第一の半導体チップの主面上の前記第二の半導体チップが搭載される範囲に塗布された接着剤及び前記凹部に受容された接着剤によって、前記第一の半導体チップの主面上に前記第二の半導体チップが接着されて形成されたことを特徴とする半導体装置。

【請求項5】前記樹脂保護層に設けられた凹部は、所定形状の溝である請求項4に記載の半導体装置。

【請求項6】前記樹脂保護層に設けられた凹部は、前記樹脂保護層の所定領域に設けられた少なくとも1つ以上の孔である請求項4に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特に、複数個の半導体チップを積層させ搭載することにより実装密度を高めたスタックタイプの半導体パッケージの製造技術に関する。

【0002】

【従来の技術】近年、プリント回路基板への半導体装置の高密度化に伴い、例えば、携帯機器等への実装のため、半導体パッケージの小型化、軽量化、高機能化の要求がますます強くなり、半導体チップのサイズに近い外形サイズにまで小型化された半導体装置としてCSP (Chip Size Package)が開発され、量産されている。

【0003】しかし、この小型化されたCSPにしても半導体チップの実装効率を100%以上にはできない。そこで、現在では、パッケージ内部で複数の半導体チップを上下に積み重ね、積層させて搭載することにより、実装密度を高めたスタックタイプのパッケージ

が実用化され始めている。このスタックタイプのパッケージにおいては、実装効率100%以上が可能となる。

【0004】このスタックタイプの半導体パッケージを製造する際の、半導体チップをリードフレームや基板に乗せるダイボンディング工程では、銀ペースト等の液状の接着剤を使用する方法と、ポリイミドテープ（両面テープ）を用いる方法の2つの方法が主に使われている。

【0005】

【発明が解決しようとする課題】しかしながら、前記従来のスタックタイプの半導体パッケージを製造する際、接着剤として銀ペーストを用いる方法は、銀ペーストはコストも低く、以前よりシングルタイプパッケージについて使用実績があるものの、接着を確実にするためには、多めに銀ペーストを塗布する必要がある。このため、下側の半導体チップの上に上側の半導体チップを搭載すると、余分の銀ペーストが上側の半導体チップの裏側からはみ出し、下側の半導体チップのパッド上に乗ってボンディングが困難になったり、ショート不良を引き起こすという問題がある。従って、下側の半導体チップを上側の半導体チップより、かなり大きなサイズにしなければならず半導体装置の小型化が図れない。また、逆に下側の半導体チップのサイズをもとのままとすると、上側の半導体チップをかなり小さくしなければならず実装の高密度化が図れない。

【0006】一方、ポリイミドテープを使用する技術は、銀ペーストを用いる場合のようにペーストがはみ出すという問題はない。しかし、ポリイミドテープを用いて半導体チップを接着するために専用の装置を必要とし、また、ポリイミドテープは高価であり、さらに、テープ貼り付け工程を増加しなければならないため、コストが上昇する等の問題がある。

【0007】本発明は、前記従来の問題に鑑みてなされたものであり、スタックタイプの半導体パッケージのダイボンディング工程における上記問題を解決し、高信頼、低コストの半導体装置及びその製造方法を提供することを課題とする。

【0008】

【課題を解決するための手段】前記課題を解決するために、本発明の第一の態様は、第一の半導体チップの主面上に第二の半導体チップを接着して同一のパッケージに搭載するスタックタイプの半導体装置の製造方法であって、前記第一の半導体チップの主面の最上層の樹脂保護層に凹部を設け、前記第一の半導体チップの主面上に接着剤を介して前記第二の半導体チップを搭載し加圧する際、前記凹部が、前記接着剤を受容して、該接着剤の前記第二の半導体チップの周囲へのはみ出しを抑制するようにしたことを特徴とする半導体装置の製造方法を提供する。

【0009】また、前記樹脂保護層に設けられた凹部は、所定形状の溝であることが好ましい。

【0010】また、前記樹脂保護層に設けられた凹部は、前記樹脂保護層の所定領域に設けられた少なくとも1つ以上の孔であることが好ましい。

【0011】また、同様に前記課題を解決するために、本発明の第二の態様は、第一の半導体チップの主面上に第二の半導体チップを接着して同一のパッケージに搭載するスタックタイプの半導体装置であって、前記第一の半導体チップの主面の最上層の樹脂保護層に凹部が設けられ、前記第一の半導体チップの主面上の前記第二の半導体チップが搭載される範囲に塗布された接着剤及び前記凹部に受容された接着剤によって、前記第一の半導体チップの主面上に前記第二の半導体チップが接着されて形成されたことを特徴とする半導体装置を提供する。

【0012】また、前記半導体装置の前記第一の半導体チップの樹脂保護層に設けられた凹部は、所定形状の溝であることが好ましい。

【0013】また、前記半導体装置の前記第一の半導体チップの樹脂保護層に設けられた凹部は、前記樹脂保護層の所定領域に設けられた少なくとも1つ以上の孔であることが好ましい。

【0014】

【発明の実施の形態】以下、本発明に係る半導体装置及びその製造方法について、添付の図面に示される好適実施形態を基に、詳細に説明する。なお、本実施形態では、2段に半導体チップを積層したスタックタイプの半導体装置を例にとり説明するが、2段以上に積層した場合も同様である。

【0015】図1は、本発明の一実施形態に係るスタックタイプ半導体装置の概略を示す側断面図である。図1に示すように、本実施形態の半導体装置1は、リードフレーム（あるいは基板）10の上に、銀ペースト等の接着剤12を介して、第一の半導体チップ14が搭載される。接着剤12としては、銀ペースト以外にも通常の樹脂のものでもよい。第一の半導体チップ14は、詳しい図示は省略するが、その内部に回路が構成され、その上部の主面14a側の最上層には回路保護のためのパッシベーション（図示しない）および樹脂保護層16が設けられている。そして、この第一の半導体チップ14の主面14aの樹脂保護層16上に、前記と同様の銀ペースト等の接着剤22を介して第二の半導体チップ24が積層される。

【0016】本実施形態は、前記第一の半導体チップ14の最上層の樹脂保護層16に、パッド用の開口部18を設けるとともに、前記第二の半導体チップ24を搭載する領域に、前記接着剤22を受容して接着剤22のはみ出しを抑制するための凹部20を設けたものである。この凹部20は、図2に平面図でその形状の一例を示すような溝20a（20b）とすることが好ましい。溝20a（20b）の形状は特に限定されるものではなく、例えば、図2（a）に示すように、第一の半導体チップ

14の主面14a上の第二の半導体チップ24を搭載する領域14bに、基盤目（網状）のように設けた溝20aでもよい。あるいは、図2（b）に示すように、第一の半導体チップ14の主面14a上の第二の半導体チップ24を搭載する領域14bに、その周囲に枠状に設けた溝20bであってもよい。また、この図2（b）のような枠状に形成した場合、このような枠を何重かに設けるようにしてもよい。

【0017】また、この凹部20は、上のような連続した形状を有する溝に限定されることはなく、図2（c）に示すように、第一の半導体チップ14の主面14a上の第二の半導体チップ24を搭載する領域14bに設けられた少なくとも1つ以上の孔20cであってもよい。このように、樹脂保護層16に設けられる凹部20は、その形状には特に限定はなく、第一の半導体チップ14の上に第二の半導体チップ24を積層する際、その間の接着剤22がはみ出さないように、接着剤22を受容し得るものであればよい。

【0018】なお、図1では、省略しているが、各半導体チップ14、24はリードフレーム10の電極にワイヤーで配線されており、半導体装置1の全体が封止樹脂で被覆されている。また、このように第一の半導体チップ14の上に、第二の半導体チップ24を搭載する構造においては、上に配置される第二の半導体チップ24の形状が下側の第一の半導体チップ14の電極パッドを干渉しないような形状であることが必要である。

【0019】本実施形態においては、第一の半導体チップ14の主面14aの最上層である樹脂保護層16に溝あるいは孔等の凹部20を設けたため、第二の半導体チップ24を積層する際、従来第二の半導体チップ24の周囲外側へはみ出していた接着剤22をこの凹部20が受容するので、積層の際第二の半導体チップ24を上から加圧しても接着剤22がはみ出すことはない。さらに、凹部20を設けたため、第二の半導体チップ24が第一の半導体チップ14と接着剤22を介して接着する面積が増加し、接着力が増強される。

【0020】以下、図3を参照して、本実施形態の半導体装置1の製造方法を説明する。図3（a）は、下側に配置される第一の半導体チップ14の側断面図である。チップ内部にはLSI回路が形成されており、第一の半導体チップ14の主面14a側最上層は、シリコン窒化膜からなるパッシベーション膜上にポリイミドのコートである樹脂保護層16が形成される。この樹脂保護層16にはパッド用開口部18を開けなければならない。このとき、同時に、樹脂保護層16には、主面14a上の、後で第二の半導体チップ24が搭載される領域14bに、凹部20（例えば、前述した溝20a、20bあるいは孔20c）をも開口させる。

【0021】すなわち、従来パッド用開口部18を設けるのに用いていたマスクに、さらに前記凹部20を設け

るための形状を付加すれば、このマスクを用いて一度のエッチング工程で樹脂保護層 16 にパッド用開口部 18 と凹部 20 を同時に形成することができ、工程数が増加することはない。なお、図 3 (a) に示すように、凹部 20 は、パッド用開口部 18 と一緒にエッチングされるため、パッド用開口部 18 と同様に樹脂保護層 16 を貫通して形成されるが、凹部 20 については、必ずしも貫通している必要はない。

【0022】次に、図 3 (b) に示すように、最上層の樹脂保護層 16 に凹部 20 の形成された第一の半導体チップ 14 を、パッケージのリードフレーム（または基板）10 上に、例えば銀ペースト等の接着剤 12 を用いてダイボンディングする。次に、図 3 (c) に示すように、第一の半導体チップ 14 の主面 14 a の、第二の半導体チップ 24 が搭載される領域 14 b に、第二の半導体チップ 24 をダイボンディングするための、銀ペースト等の接着剤 22 を塗布する。

【0023】そして、その上に、第二の半導体チップ 24 を乗せて、上から加圧して接着、固定する。その後、第一および第二の半導体チップ 14、24 のパッドとリードフレーム 10 の電極とを、ワイヤで接続する。このようにして、図 3 (d) (図 1) に示すような、第一の半導体チップ 14 の上に第二の半導体チップ 24 を積層したスタックタイプの半導体装置 1 が作成される。このとき、溝等の凹部 20 を前記樹脂保護層 16 に設けたため、第二の半導体チップ 24 を積層するときの接着剤 22 をこの凹部 20 が受容するため、接着剤 22 がはみ出ることはない。そのため、第一の半導体チップを第二の半導体チップよりかなり大きくしななければならないという制約がなくなり、第二の半導体チップのサイズを現状より大きくすることができ、実装密度を大きく向上させることが可能となる。

【0024】また、接着剤のはみ出しによるパッドにおけるワイヤボンディング不良やショート等の不良を大きく低減することができる。さらに、前記凹部により、第一の半導体チップ 14 と第二の半導体チップ 24 との接着剤 22 を介しての接着面積が増大するため、接着の強度が向上し、そのため接着剤の塗布量を低減することができる。また、前述したようにその製造工程においても、樹脂保護層への凹部（例えば溝）の形成は、現状の

マスク作成の際に、その凹部の形状をレチクルに追加するだけですみ、その後のウエハ作成工程に追加工程は発生しない。また、従来から使用されている銀ペースト等の接着剤を使用することができ、低コストで、簡便であり、信頼性の高いプロセスとなる。

【0025】以上、本発明の半導体装置及びその製造方法について詳細に説明したが、本発明は、以上の例には限定されず、本発明の要旨を逸脱しない範囲において、各種の改良や変更を行ってもよいのはもちろんである。

【0026】

【発明の効果】以上説明した通り、本発明によれば、第一の半導体チップに第二の半導体チップを接着剤で積層する際の、接着剤のはみ出しを抑制することができるため、上に乗せる第二の半導体チップのサイズをより大きくすることができ、半導体の実装密度を大きく向上させることができる。また、接着剤のはみ出しによるパッドにおけるショートの不良を低減するとともに、第一の半導体チップと第二の半導体チップとの接着剤を介しての接着面積が増大するため、接着強度が増大し、その結果、接着剤の塗布量を低減することができる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態に係るスタックタイプ半導体装置の概略を示す側断面図である。

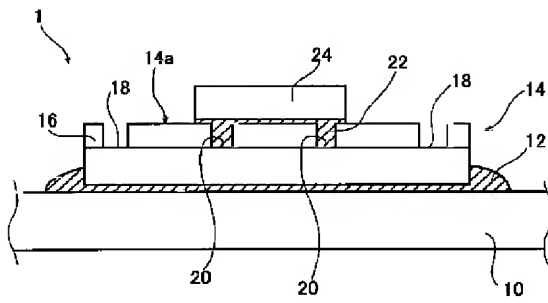
【図 2】 (a)、(b)、(c) はそれぞれ本実施形態における凹部の例を示す平面図である。

【図 3】 (a)、(b)、(c)、(d) は本実施形態に係る半導体装置の製造方法を示す説明図である。

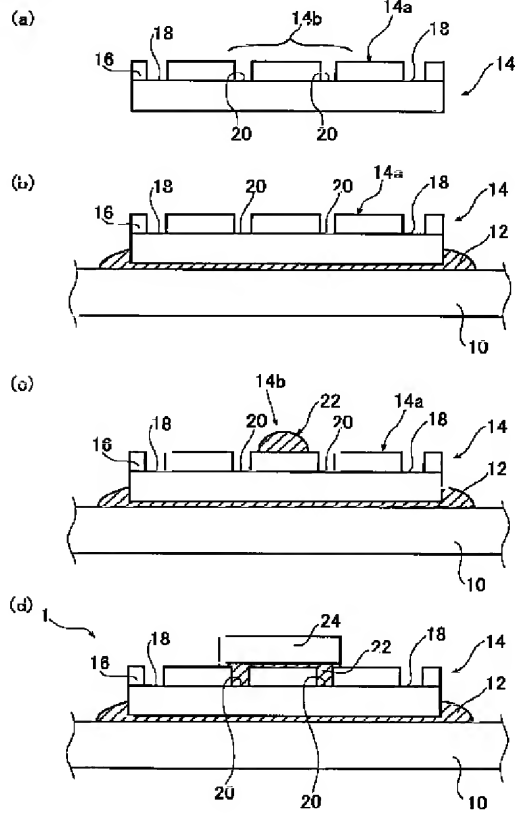
【符号の説明】

- 1 半導体装置
- 10 リードフレーム
- 12、22 接着剤
- 14 第一の半導体チップ
- 14 a 主面
- 14 b 第二の半導体チップが搭載される領域
- 16 樹脂保護層
- 18 パッド用開口部
- 20 凹部
- 20 a、20 b 溝
- 20 c 孔
- 24 第二の半導体チップ

【図1】



【図3】



【図2】

